

# SEMICONDUCTOR CHIP AND MANUFACTURING METHOD THEREOF

**Publication number: JP2002064161 (A)**

**Publication date:** 2002-02-28

**Inventor(s):** SUGIYAMA SUNAO +

**Applicant(s):** IBIDEN CO LTD +

**Classification:**

**- international:** *H01L21/60; H01L23/12; H01L21/02; H01L23/12; (IPC1-7): H01L21/60; H01L23/12*

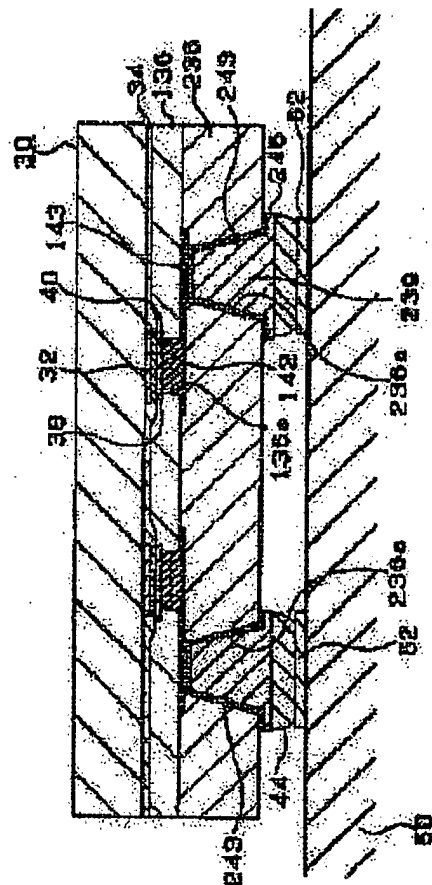
**- European:**

**Application number: JP20000249575 20000821**

**Priority number(s):** JP20000249575 20000821

## Abstract of JP 2002064161 (A)

**PROBLEM TO BE SOLVED:** To provide a semiconductor chip and its manufacturing method for mounting a semiconductor chip with high reliability. **SOLUTION:** A semiconductor chip 30 and a board 50 are different in coefficient of thermal expansion. Stress between the semiconductor chip 30 and the board 50 is caused by heat at the operation of the semiconductor chip 30, but is absorbed by a flexible second insulating layer 236 and an elastic copper plating post 239. Then, the cracking at an electric connection can be prevented, and high reliability of connection between the semiconductor chip 30 and the board is realized.



Data supplied from the **espacenet** database — Worldwide

Entgegenhaltung 3:

JP Patentoffenlegungsschrift Nr. 2002-64161 - 28.02.2002

Anmeldung Nr. 2000-249575 - 21.08.2000

Priorität: keine

Anmelderin: Ibiden K.K., Gifu-ken, JP

Titel: Halbleiterchip und dessen Herstellungsverfahren

[0018]

[Ausführungsbeispiel] Der Halbleiterchip gemäß der vorliegenden Erfindung und dessen Herstellungsverfahren werden anhand der Zeichnungen erläutert. Fig. 1 zeigt einen Halbleiterchip eines ersten Ausführungsbeispiels gemäß der vorliegenden Erfindung. An der Öffnung eines Passivierungsfilms der unteren Fläche eines Halbleiterchips 30 ist ein Aluminiumelektrodenfleck 32 gebildet, an dem eine Zinkartbehandlung vorgenommen ist. Bei dem Ausführungsbeispiel ist eine erste Isolierschicht 136 an der unteren Fläche des Passivierungsfilms angeordnet, wobei an der Isolierschicht 136 ein nichteindringendes Loch 136a gebildet ist, das sich zum Aluminiumelektrodenfleck 32 konisch erweitert. Am Aluminiumelektrodenfleck 32 auf dem Boden des nichteindringenden Lochs 136a ist eine Durchkontaktierung 142 gebildet, die mit Kupferüberzug gefüllt ist, wobei zwischen dem Aluminiumelektrodenfleck 32 und der Durchkontaktierung 142 eine Nickelüberzugschicht 38 und eine Nickel-Kupferüberzugschicht 40 liegen.

[0019] Auf der ersten Isolierschicht 136 ist eine zweite Isolierschicht 236 gebildet, in der ein Kupferüberzugspfeiler 239 gebildet ist. Am Kupferüberzugspfeiler 239 ist ein vorsprungsförmiger Leiter (Erhebung) 44 angeordnet. Der

Halbleiterchip 30 ist über den vorsprungsförmigen Leiter 44 mit dem Fleck 52 auf der Seite des Substrats 50 verbunden.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-64161

(P2002-64161A)

(43) 公開日 平成14年2月28日 (2002.2.28)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テームコード* (参考)
H 0 1 L 23/12	5 0 1	H 0 1 L 23/12	5 0 1 C
			5 0 1 P
			5 0 1 S
21/60		21/92	6 0 4 B

審査請求 未請求 請求項の数 6 O L (全 9 頁)

(21) 出願番号 特願2000-249575 (P2000-249575)

(22) 出願日 平成12年8月21日 (2000.8.21)

(71) 出願人 000000158

イビデン株式会社

岐阜県大垣市神田町2丁目1番地

(72) 発明者 杉山 直

岐阜県揖斐郡揖斐川町北方1-1 イビデ

ン株式会社大垣北工場内

(74) 代理人 100095795

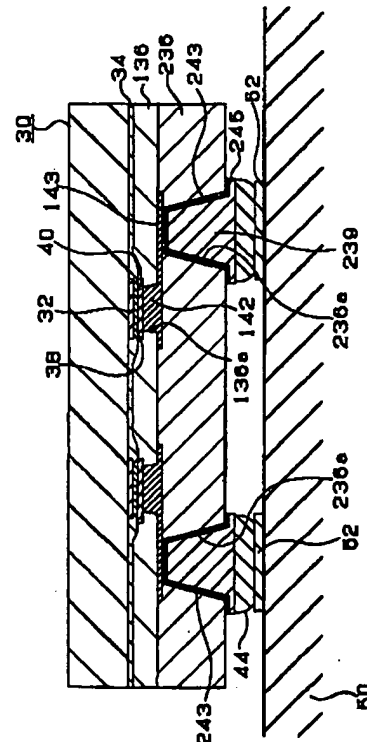
弁理士 田下 明人 (外1名)

(54) 【発明の名称】 半導体チップ及びその製造方法

(57) 【要約】

【課題】 高い信頼性で実装することのできる半導体チップ及び該半導体チップの製造方法を提供する。

【解決手段】 半導体チップ30と基板50の熱膨張率は異なり、半導体チップ30の動作時に発生する熱により、半導体チップ30と基板50との間に応力が発生するが、可撓性を有する第2絶縁層236及び弾性を有する銅めっきポスト239によって応力を吸収できるため、電気的接続部にクラックを発生させることがなくなり、半導体チップ30と基板50との間に高い接続信頼性を与える。



## 【特許請求の範囲】

【請求項1】 半導体チップの電極パッド側の表面に第1の絶縁層と第2の絶縁層とが形成され、

前記第1の絶縁層には、第1の非貫通孔が設けられ、該第1の非貫通孔には、前記電極パッドに接続されたビアが形成され、また、前記第1の絶縁層の表面には当該ビアに接続される導体回路が形成され、

前記第2の絶縁層には、前記導体回路へ至る第2の非貫通孔が設けられ、該第2の非貫通孔には、銅めっきが充填されていることを特徴とする半導体チップ。

【請求項2】 前記電極パッドは、ジンケート処理されたアルミニウム電極パッドであり、該電極パッドの上に銅めっきからなる前記ビアが、ニッケルと銅の複合めっき層を介して形成されていることを特徴とする請求項1記載の半導体チップ。

【請求項3】 以下の(1)～(8)の工程を少なくとも含む銅めっきポストが形成されてなる半導体チップの製造方法。

(1) 半導体チップのアルミニウム電極パッドの表面にジンケート処理を施した後、ニッケルと銅の複合めっき層を形成する工程、(2) 前記半導体チップの前記複合めっき層の表面に絶縁樹脂による第1の絶縁層を形成し、次いで前記複合めっき層に至る第1の非貫通孔を形成する工程、(3) 前記第1の非貫通孔に銅めっきでビアを形成すると共に、第1絶縁層の表面に当該ビアに接続された導体回路を形成する工程、(4) 前記半導体チップの無電解銅めっき層の表面に絶縁樹脂による第2絶縁層を形成し、次いで前記導体回路に至る第2の非貫通孔を形成する工程、(5) 前記半導体チップのアルミニウム電極パッド側の表面の全面に無電解銅めっき層を形成する工程、(6) 前記半導体チップの無電解銅めっき層の表面に絶縁樹脂によるめっきレジスト層を形成し、次いで前記第2の非貫通孔上の無電解銅めっき層に至る開口を形成する工程、(7) 電解めっきにより前記第2の非貫通孔内に銅を充填し、銅めっきポストを形成する工程、(8) 前記めっきレジスト層を除去し、次いでエッチング処理する工程、

【請求項4】 以下の(1)～(8)の工程を少なくとも含む銅めっきポストが形成されてなる半導体チップの製造方法。

(1) 前記半導体チップのアルミニウム電極パッドの表面に絶縁樹脂による第1の絶縁層を形成し、次いで前記アルミニウム電極パッドに至る第1の非貫通孔を形成する工程、(2) 半導体チップのアルミニウム電極パッドの表面にジンケート処理を施した後、ニッケルと銅の複合めっき層を形成する工程、(3) 前記第1の非貫通孔に銅めっきでビアを形成すると共に、第1絶縁層の表面に当該ビアに接続された導体回路を形成する工程、

(4) 前記半導体チップの無電解銅めっき層の表面に絶縁樹脂による第2絶縁層を形成し、次いで前記導体回路

に至る第2の非貫通孔を形成する工程、(5) 前記半導体チップのアルミニウム電極パッド側の表面の全面に無電解銅めっき層を形成する工程、(6) 前記半導体チップの無電解銅めっき層の表面に絶縁樹脂によるめっきレジスト層を形成し、次いで前記第2の非貫通孔上の無電解銅めっき層に至る開口を形成する工程、(7) 電解めっきにより前記第2の非貫通孔内に銅を充填し、銅めっきポストを形成する工程、(8) 前記めっきレジスト層を除去し、次いでエッチング処理する工程、

10 【請求項5】 前記ニッケルと銅の複合めっき層が、ニッケルが1～60重量%、残部が主として銅の複合めっきであり、厚さが0.01～5μmであることを特徴とする請求項3又は4に記載の半導体チップの製造方法。

【請求項6】 前記銅めっきポストは、高さが5～250μmで、直径が20～300μmであることを特徴とする請求項3～5のいずれか1に記載の半導体チップの製造方法。

【発明の詳細な説明】

【0001】

20 【発明の属する技術分野】この発明は、半導体チップ及びその製造方法に関し、特に接続信頼性の高い半導体チップ及びその製造方法に関する。

【0002】

【従来の技術】図9に従来技術に係る半導体チップ330及びその実装形態を示す。半導体チップ330のアルミニウム電極パッド332には、ニッケルめっき層334及び金めっき層338を介して、バンパ310を形成するハンダ344が設けられている。ここで、半導体チップ330は、該バンパ310を介して、パッケージ350側の電極パッド352に電氣的に接続されている。

30 【0003】ところで、半導体チップ330とパッケージ350とは、熱膨張率が異なるため、両者の間に発生する応力を緩和することが必要であり、上記図9に示した実装形態においては、半導体チップ330とパッケージ350との間にアンダーフィル336を配設し、両者を固着させることにより、電氣的接続部に応力を集中させないようにすることで、電氣的接続部に破断が発生しないように構成されている。

40 【0004】しかしながら、近年の半導体チップの高集積化に伴い、半導体チップのバンパが小型化され、上述した実装形態によっても、半導体チップ330とパッケージ350との間の応力により、小型化された電氣的接続部が破断することがあった。

【0005】

【発明が解決しようとする課題】このような問題点に対し、前記アルミニウム電極パッド332上に形成されたバリアメタル膜を介して柔軟性のある銅ポストを形成し、半導体チップ330とパッケージとの間に発生する応力を銅ポストにより吸収することが提案されているが、バリアメタル膜は、生産性に劣るばかりでなく、残

いるため、無電解めっきと比較して半導体チップを強アルカリ溶液に漬ける時間が短くなり、回路を破損する危険性が低下する。ここで、半導体チップのアルミニウム電極パッドの表面には、銅めっきを行うことは困難であるが、本発明では、アルミニウム電極パッドの表面にジンケート処理を行った後に、ニッケルと銅との複合めっき層を形成させるため、該複合めっき層の上に銅めっきでビアを形成することができる。

【0016】請求項5では、複合めっきが、ニッケルが1〜60重量%、残部が主として銅の複合めっきであるため、アルミニウム電極パッドに複合めっき層を形成できるのに加えて、表面に銅めっきを容易に形成することができる。また、複合めっき層の厚さを0.01 $\mu$ m以上にする事で、表面に銅めっきを形成することが可能になる。他方、5 $\mu$ m以下にすることで、短時間で析出することができる。

【0017】請求項6では、銅めっきポストは、高さが5 $\mu$ m以上で直径が20〜300 $\mu$ mあるため、半導体チップと基板との熱膨張差により発生する応力を吸収することができる。また、銅めっきポストは、高さが250 $\mu$ m以下であるため、短時間で形成することができる。

【0018】

【発明の実施の形態】以下、本発明の実施形態に係る半導体チップ及び半導体チップの製造方法について図を参照して説明する。図1は本発明の第1実施形態に係る半導体チップを示している。半導体チップ30の下面には、パッシベーション膜34の開口にジンケート処理されたアルミニウム電極パッド32が形成されている。本実施形態では、パッシベーション膜34の下面に第1絶縁層136が配設され、該第1絶縁層136には、該アルミニウム電極パッド32に至るテーパ状に広がった非貫通孔136aが形成されている。そして、該非貫通孔136aの底部のアルミニウム電極パッド32には、ニッケルめっき層38、ニッケルと銅との複合めっき層40を介在させて、銅めっきを充填してなるビア142が形成されている。

【0019】該第1絶縁層136の上には、銅めっきポスト239の形成された第2絶縁層236が形成されている。銅めっきポスト239には、半田等の低融点金属からなる突起状導体（パンプ）44が配設されている。該半導体チップ30は、突起状導体（パンプ）44を介して基板50側のパッド52への接続されている。

【0020】ここで、第2絶縁層236の厚さ、及び、銅めっきポスト239の高さは5〜250 $\mu$ mに形成されている。一方、銅めっきポスト239の直径は20 $\mu$ m〜300 $\mu$ mに形成されている。ここで、半導体チップ30と基板50の熱膨張率は異なり、半導体チップ30の動作時に発生する熱により、半導体チップ30と基板50との間に応力が発生するが、可撓性を有する第2

絶縁層236及び弾性を有する銅めっきポスト239によって応力を吸収できるため、電氣的接続部にクラックを発生させることがなくなり、半導体チップ30と基板50との間に高い接続信頼性を与えている。

【0021】なお、第2絶縁層236の厚さは5 $\mu$ m以上が良い。これは、5 $\mu$ m以下では、十分に応力を吸収することができないからである。他方、厚さは250 $\mu$ m以下であることが望ましい。これは、250 $\mu$ mよりも厚いと、半導体チップ30と基板50との接続信頼性が低下するからである。

【0022】引き続き、図2〜図5を参照して本実施形態に係る半導体チップ30の製造方法について説明する。ここでは、図2の工程（A）に示すパッシベーション膜34の開口にアルミニウム電極パッド32が形成された半導体チップ30に対して、以下の工程で銅めっきポストおよびパンプを形成する。まず、図2の工程（B）に示すように半導体チップ30を常温で10〜30秒間、金属塩である酸化亜鉛と還元剤として水酸化ナトリウムを混合した液中に浸漬することで、アルミニウム電極パッド32にジンケート処理を施す。これにより、ニッケルめっき層或いは複合めっき層の析出を容易ならしめる。

【0023】引き続き、図2の工程（C）に示すように、半導体チップ30をニッケル無電解めっき液中に浸けて、アルミニウム電極パッド32の表面にニッケルめっき層38を析出させる。なお、このニッケルめっき層を形成する工程は省略しても後述する複合めっき層をアルミニウム電極パッド32に直接形成することも可能である。

【0024】そして、図2の工程（D）に示すように、該半導体チップ30を、ニッケル-銅の複合めっき液に浸漬し、ニッケルめっき層38の上に0.01〜5 $\mu$ mのニッケル-銅の複合めっき層40を形成する。この複合めっき層をニッケルが1〜60重量%、残部を主として銅とすることで、アルミニウム電極パッドに複合めっき層を形成できるようにするのに加えて、表面に銅めっきを容易に形成できるようにする。また、複合めっき層の厚さを0.01 $\mu$ m以上にする事で、表面に銅めっきを形成することが可能になる。他方、5 $\mu$ m以下にすることで、短時間で析出することができる。

【0025】次に、図3の工程（E）に示すように絶縁樹脂を塗布する。この絶縁樹脂としては、本実施形態では、レーザー加工により非貫通孔を形成するため、熱硬化性のエポキシ樹脂やポリイミド樹脂を用いる。化学的な処理により非貫通孔を形成する場合には、感光性のエポキシ樹脂やポリイミド樹脂を使用することができる。次に、図3の工程（F）に示すように乾燥処理を行った後、レーザにより第1非貫通孔136aを形成する。そしてさらに、加熱処理してアルミニウム電極パッド32に至る非貫通孔136aを有する第1絶縁層136を形

留応力を有しており、アルミニウム電極パッド付近の半導体チップ機能に悪影響を及ぼすため、エリアパッド方式のアルミニウム電極パッドが形成された半導体チップに適用することが困難であった。

【0006】本発明は、上述した課題を解決するためになされたものであり、その目的とするところは、高い信頼性で実装することのできる半導体チップ及び該半導体チップの製造方法を提供することにある。

【0007】

【課題を解決するための手段】請求項1の半導体チップは、上記目的を達成するため、半導体チップの電極パッド側の表面に第1の絶縁層と第2の絶縁層とが形成され、前記第1の絶縁層には、第1の非貫通孔が設けられ、該第1の非貫通孔には、前記電極パッドに接続されたビアが形成され、また、前記第1の絶縁層の表面には当該ビアに接続される導体回路が形成され、前記第2の絶縁層には、前記導体回路へ至る第2の非貫通孔が設けられ、該第2の非貫通孔には、銅めっきが充填されていることを技術的特徴とする。

【0008】請求項2の半導体チップは、請求項1において、前記電極パッドは、ジンケート処理されたアルミニウム電極パッドであり、該電極パッドの上に銅めっきからなる前記ビアが、ニッケルと銅の複合めっき層を介して形成されていることを技術的特徴とする。

【0009】請求項3は、下の(1)～(8)の工程を少なくとも含む銅めっきポストが形成されてなる半導体チップの製造方法。

(1)半導体チップのアルミニウム電極パッドの表面にジンケート処理を施した後、ニッケルと銅の複合めっき層を形成する工程、(2)前記半導体チップの前記複合めっき層の表面に絶縁樹脂による第1の絶縁層を形成し、次いで前記複合めっき層に至る第1の非貫通孔を形成する工程、(3)前記第1の非貫通孔に銅めっきでビアを形成すると共に、第1絶縁層の表面に当該ビアに接続された導体回路を形成する工程、(4)前記半導体チップの無電解銅めっき層の表面に絶縁樹脂による第2絶縁層を形成し、次いで前記導体回路に至る第2の非貫通孔を形成する工程、(5)前記半導体チップのアルミニウム電極パッド側の表面の全面に無電解銅めっき層を形成する工程、(6)前記半導体チップの無電解銅めっき層の表面に絶縁樹脂によるめっきレジスト層を形成し、次いで前記第2の非貫通孔上の無電解銅めっき層に至る開口を形成する工程、(7)電解めっきにより前記第2の非貫通孔内に銅を充填し、銅めっきポストを形成する工程、(8)前記めっきレジスト層を除去し、次いでエッチング処理する工程、

【0010】請求項4は、以下の(1)～(8)の工程を少なくとも含む銅めっきポストが形成されてなる半導体チップの製造方法。

(1)前記半導体チップのアルミニウム電極パッドの表

面に絶縁樹脂による第1の絶縁層を形成し、次いで前記アルミニウム電極パッドに至る第1の非貫通孔を形成する工程、(2)半導体チップのアルミニウム電極パッドの表面にジンケート処理を施した後、ニッケルと銅の複合めっき層を形成する工程、(3)前記第1の非貫通孔に銅めっきでビアを形成すると共に、第1絶縁層の表面に当該ビアに接続された導体回路を形成する工程、

(4)前記半導体チップの無電解銅めっき層の表面に絶縁樹脂による第2絶縁層を形成し、次いで前記導体回路に至る第2の非貫通孔を形成する工程、(5)前記半導体チップのアルミニウム電極パッド側の表面の全面に無電解銅めっき層を形成する工程、(6)前記半導体チップの無電解銅めっき層の表面に絶縁樹脂によるめっきレジスト層を形成し、次いで前記第2の非貫通孔上の無電解銅めっき層に至る開口を形成する工程、(7)電解めっきにより前記第2の非貫通孔内に銅を充填し、銅めっきポストを形成する工程、(8)前記めっきレジスト層を除去し、次いでエッチング処理する工程、

【0011】請求項5の半導体チップの製造方法は、請求項3又は4において、前記ニッケルと銅の複合めっき層が、ニッケルが1～60重量%、残部が主として銅の複合めっきであり、厚さが0.01～5μmであることを技術的特徴とする。

【0012】請求項6の半導体チップの製造方法は、請求項3～5において、前記銅めっきポストは、高さが5～250μmで、直径が20～300μmであることを技術的特徴とする。

【0013】請求項1の半導体チップでは、半導体チップの表面に第1の絶縁層が形成され、該第1の絶縁層の上に銅めっきポストが形成されている。柔軟性を有する該銅めっきポストが半導体チップと基板との熱膨張差により発生する応力を吸収するため、半導体チップを基板に強固に接続することができ、半導体チップの接続信頼性を高めることができる。

【0014】請求項2において、半導体チップのアルミニウム電極パッドの表面には、銅めっきを行うことは困難であるが、本発明では、アルミニウム電極パッドの表面にジンケート処理を行った後に、ニッケルと銅との複合めっき層を形成させるため、該複合めっき層の上に銅めっきでビアを形成することができる。

【0015】請求項3、4の半導体チップの製造方法では、半導体チップの表面に第1の絶縁層が形成され、該第1の絶縁層の上に銅めっきポストが形成されている。柔軟性を有する該銅めっきポストが半導体チップと基板との熱膨張差により発生する応力を吸収するため、半導体チップを基板に強固に接続することができ、半導体チップの接続信頼性を高めることができる。この銅めっきポストを第2の非貫通孔内に電解めっきにて銅を充填することにより形成するため、高さの高い銅めっきポストを廉価に構成することができる。また、電解めっきを用

成する。なお、上述した第1絶縁層36は、表層部が半導体チップ側に比較して軟質になるようにすることが好ましい。

【0026】次に、図3の工程(G)に示すように、第1非貫通孔136a内に銅めっきを充填してビア142を形成すると共に、第1絶縁層136上に導体回路143を形成する。これらは、無電解めっきにより形成する。

【0027】次に、図4の工程(H)に示すように熱硬化性のエポキシ樹脂又はポリイミド樹脂を塗布してから、乾燥処理を行った後、図4の工程(I)に示すようにレーザにより導体回路143へ至る非貫通孔を穿設し、表面の粗化処理を行った後に、加熱することで第2の非貫通孔236aを有する第2絶縁層236を形成する。

【0028】次に、図4の工程(J)に示すように、半導体チップ30にパラジウム触媒(アトテック製)を付与した後、無電解めっき液に浸漬し、第2絶縁層236の表面に均一に無電解銅めっき膜243を形成する。その後、パラジウム触媒(アトテック製)を付与することにより、無電解めっき膜243にPbの触媒核を付与する。

【0029】図4の工程(K)に示すようにPET(ポリエチレンテレフタレート)フィルム245αを無電解めっき膜243の上に貼り付ける。そして、レーザにより該PETフィルム245αに第2の非貫通孔236aを開放する開口を設け、図4の工程(M)に示すように開口245aを備えるレジスト245を形成する。本実施形態では、PETフィルムを用い、レーザで開口245aを穿設するため、廉価にレジスト245を形成することができる。

【0030】半導体チップ30を電解めっき液に浸漬し、無電解銅めっき膜243を介して電流を流すことで、図5の工程(N)に示すように第2非貫通孔236a内に銅を充填して銅めっきポスト239を形成する。この銅めっきポストを第2の非貫通孔236a内に電解めっきにて銅を充填して形成するため、高さの高い銅めっきポストを廉価に構成することができる。また、電解めっきを用いるため、無電解めっきと比較して半導体チップを強アルカリの無電解めっき液に漬ける時間が短くなり、半導体チップ上の回路を破損する危険性が低下する。

【0031】次に、図5の工程(O)に示すように、銅めっきポスト239の上に半田をめっきにより析出し、半田バンプ44を形成する。本実施形態では、PETフィルム(レジスト)245を用いるため、マスクが不要となり、半田バンプを廉価に形成することができる。ここでは、半田めっきを用いたが、この代わりに半田印刷を用いることもできる。なお、バンプの高さとしては、3~60μmが望ましい。この理由は、3μm未満で

は、バンプの変形により、バンプの高さのばらつきを許容することができず、また、60μmを超えると、バンプが溶融した際に横方向に広がってショートの原因となる。

【0032】最後に、図5工程(P)に示すようにレジスト245を除去した後、レジスト下の無電解銅めっき膜243をライトエッチングにより剥離することでバンプ形成を完了する。

【0033】半導体チップ30のバンプ44と基板50のパッド52が対応するように、半導体チップ30を載置させて、リフローすることにより、図1に示すように半導体チップ30を基板50に取り付ける。

【0034】引き続き、本発明の第2実施形態に係る半導体チップ及び半導体チップの製造方法について図を参照して説明する。図6は本発明の第2実施形態に係る半導体チップを示している。上述した第1実施形態では、リフローにより半田バンプ44と基板50のパッド52とを接続した。これに対して、第2実施形態の半導体チップでは、半導体チップと基板50との間に配設された接着剤248により接続を取る。

【0035】引き続き、図7、図8を参照して第2実施形態に係る半導体チップ30の製造方法について説明する。まず、図7の工程(A)に示す半導体チップに対して、図7の工程(B)に示すように絶縁樹脂を塗布する。この絶縁樹脂としては、感光性のエポキシ樹脂やポリイミド樹脂を使用することができる。次に、図7の工程(C)に示すように乾燥処理を行った後、露光・現像を行い第1非貫通孔136aを形成する。加熱処理してアルミニウム電極パッド32に至る第1非貫通孔136aを有する第1絶縁層136を形成する。

【0036】次に、図7の工程(D)に示すように、アルミニウム電極パッド32の表面にニッケルめっき層或いはニッケルと銅との複合めっき層の析出を容易ならしめるジンケート処理を施す。このジンケート処理としては、例えば、半導体チップ30を常温で10~30秒間、金属塩である酸化亜鉛と還元剤としての水酸化ナトリウムの混合液中に浸漬することにより行うことができる。

【0037】引き続き、図8の工程(E)に示すように、半導体チップ30をニッケル無電解めっき液中に浸けて、アルミニウム電極パッド32の表面にニッケルめっき層38を析出させる。なお、このニッケルめっき層を形成する工程は省略しても後述する複合めっき層をアルミニウム電極パッド32に直接形成することも可能である。

【0038】そして、図8の工程(F)に示すように、該半導体チップ30を、ニッケル-銅の複合めっき液に浸漬し、ニッケルめっき層38の上に0.01~5μmのニッケル-銅の複合めっき層40を形成する。この複合めっき層をニッケルが1~60重量%、残部を主とし



て銅とすることで、アルミニウム電極パッドに複合めっき層を形成できるようにするのに加えて、表面に銅めっきを容易に形成できるようにする。また、複合めっき層の厚さを0.01 $\mu\text{m}$ 以上にすることで、表面に銅めっきを形成することが可能になる。他方、5 $\mu\text{m}$ 以下にすることで、短時間で析出することができる。

【0039】以下、図3～図5を参照して上述した第1実施形態と同様に、ビア142及び導体回路143を形成し、該導体回路143上に第2絶縁層236の銅めっきポスト239を形成し、更に、銅めっきポスト239に半田バンプ44を形成する。

【0040】最後に、工程(G)に示すように、該レジスト層36のバンプ44側の表面全面、または、基板50側の表面全面に、樹脂を塗布して、乾燥し、未硬化樹脂からなる接着剤層248を形成する。

【0041】接着剤層46は、有機系接着剤からなることが望ましく、有機系接着剤としては、エポキシ樹脂、ポリイミド樹脂、熱硬化型ポリフェノレンエーテル(PPE: Polyphenylene ether)、エポキシ樹脂と熱可塑性樹脂との複合樹脂、エポキシ樹脂とシリコン樹脂との複合樹脂、BTレジンから選ばれる少なくとも1種の樹脂であることが望ましい。

【0042】有機系接着剤である未硬化樹脂の塗布方法は、カーテンコート、スピンコート、ロールコート、スプレーコート、スクリーン印刷などを使用できる。また、接着剤層の形成は、接着剤シートをラミネートすることによってもできる。接着剤層の厚さは、5～50 $\mu\text{m}$ が望ましい。接着剤層は、取扱が容易になるため、予備硬化(プレキュア)しておくことが好ましい。

【0043】工程(H)に示すように、半導体チップ30と基板50とを、熱プレスを用いて加熱し加圧プレスすることにより、半導体チップ30と基板50とを接着する。ここでは、先ず、加圧されることで、該半導体チップ30のバンプ44が、該バンプ44と基板50のパッド52との間に介在している未硬化の接着剤(絶縁性樹脂)を周囲に押し出し、該バンプ44がパッド52と当接し両者の接統を取る。更に、加圧と同時に加熱されることで、接着剤層46が硬化し、半導体チップ30と

基板50との間で強固な接着が行われる。なお、熱プレスとしては、真空熱プレスを用いることが好適である。これにより図6を参照して上述した半導体チップ30の基板50への取り付けが完成する。

【図面の簡単な説明】

【図1】本発明の第1実施形態に係る半導体チップの断面図である。

【図2】第1実施形態に係る半導体チップの製造工程図である。

10 【図3】第1実施形態に係る半導体チップの製造工程図である。

【図4】第1実施形態に係る半導体チップの製造工程図である。

【図5】第1実施形態に係る半導体チップの製造工程図である。

【図6】本発明の第2実施形態に係る半導体チップの断面図である。

【図7】第2実施形態に係る半導体チップの製造工程図である。

20 【図8】第2実施形態に係る半導体チップの製造工程図である。

【図9】従来技術に係る半導体チップの断面図である。

【符号の説明】

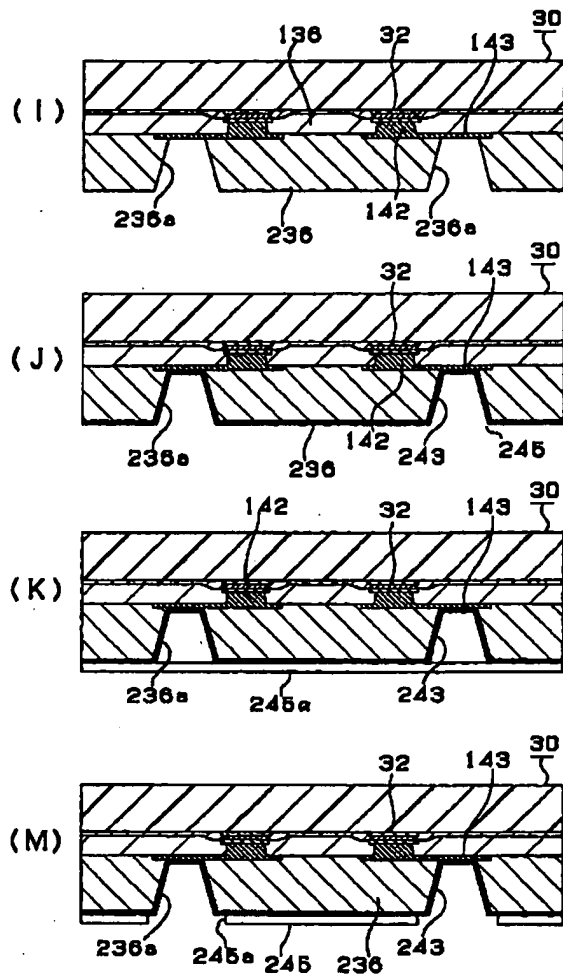
- 30 半導体チップ
- 32 アルミニウム電極パッド
- 34 バッシベーション膜
- 38 ニッケルめっき層
- 40 複合めっき層
- 44 半田バンプ
- 30 50 基板
- 52 パッド
- 136 第1絶縁層
- 136a 第1非貫通孔
- 142 ビア
- 143 導体回路
- 236 第2絶縁層
- 236a 第2非貫通孔
- 239 銅めっきポスト

[illegible]

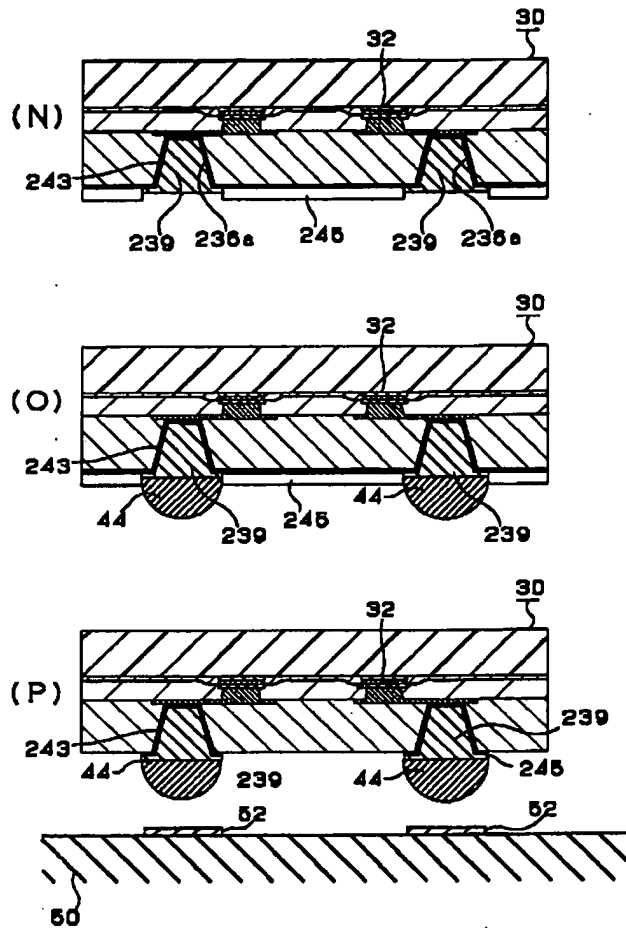
Figure 1 consists of four cross-sectional views, labeled (A) through (D), showing a substrate 30 with a thin layer 32 and openings 34. The substrate 30 is represented by a hatched pattern. The thin layer 32 is a solid line along the bottom edge of the substrate. The openings 34 are gaps in the thin layer 32. In view (A), the openings 34 are simple gaps. In view (B), the openings 34 are filled with a material 38. In view (C), the openings 34 are filled with a material 38, and the thin layer 32 is shown as a dashed line. In view (D), the openings 34 are filled with a material 38, and the thin layer 32 is shown as a dashed line. The openings 34 are filled with a material 38, and the thin layer 32 is shown as a dashed line. The openings 34 are filled with a material 38, and the thin layer 32 is shown as a dashed line.

Fig. 10 consists of four cross-sectional views labeled (E), (F), (G), and (H), showing the sequential construction of a semiconductor device. In view (E), a substrate 30 has a thin layer 32 on its top surface. A layer 38 is formed on the substrate, with openings 40 exposing the substrate. A layer 136 is deposited over the entire surface, including the openings 40. In view (F), the layer 136 is patterned into a series of rectangular blocks 136a, leaving gaps between them. In view (G), a new layer 40 is deposited over the blocks 136a and the gaps. This layer 40 is then patterned into rectangular blocks 142 and 143, leaving gaps between them. In view (H), a final layer 236 is deposited over the entire surface, including the blocks 142 and 143.

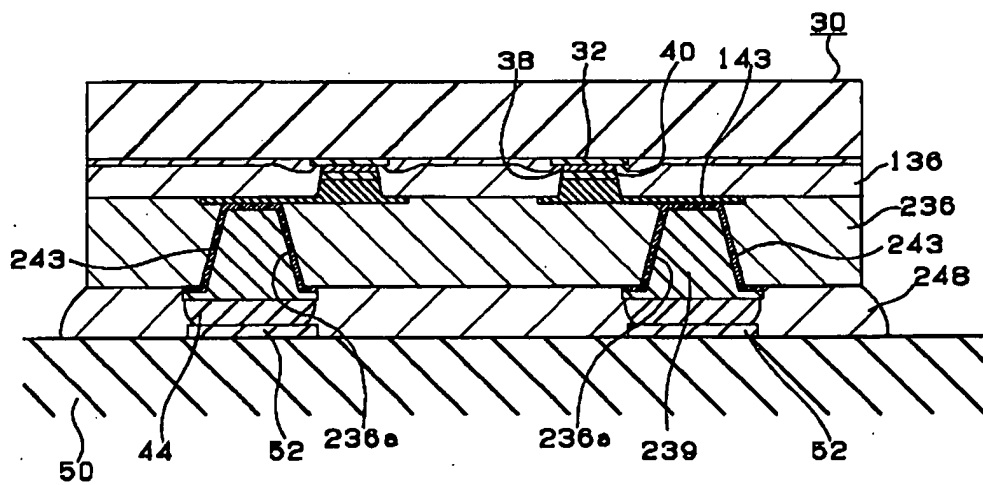
【図4】



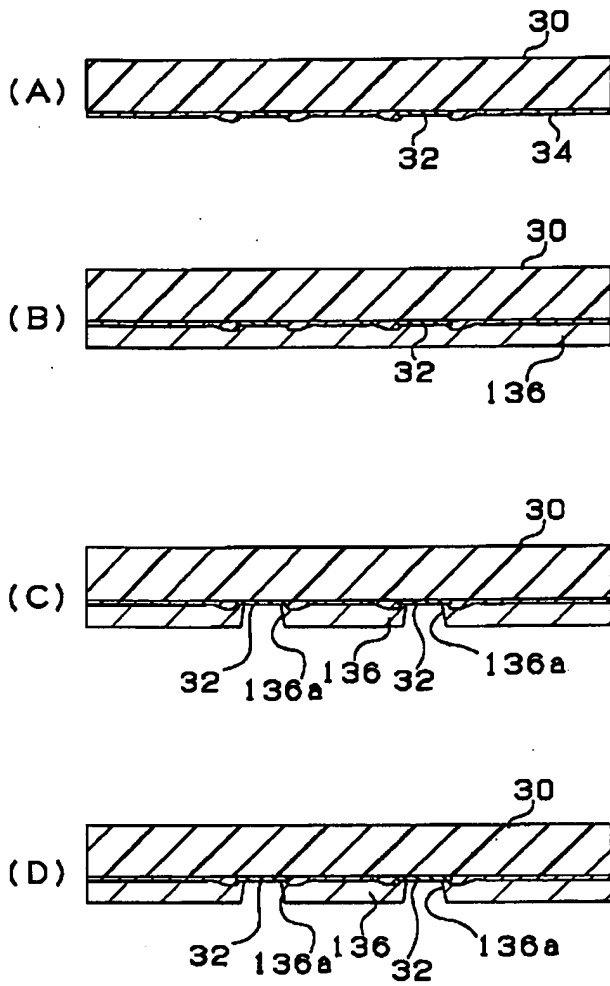
【図5】



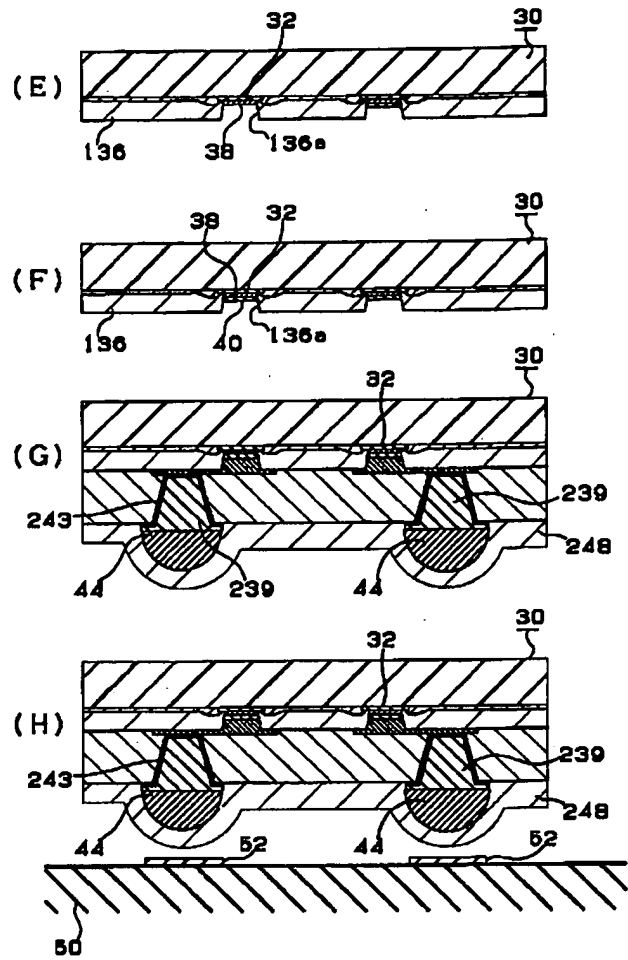
【図6】



【図7】



【図8】



【図9】

